

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-076974

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

G06F 7/00
G06F 9/445

(21)Application number : 06-215649

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.09.1994

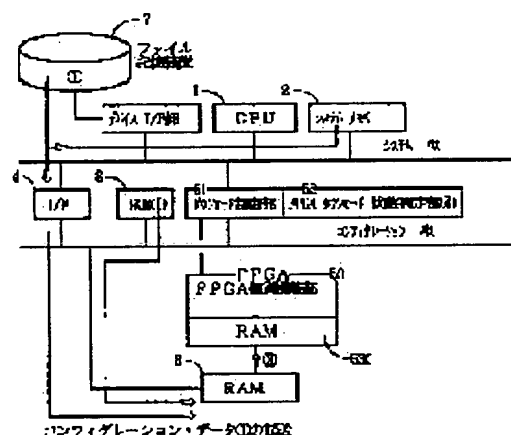
(72)Inventor : KUBOYAMA SHOICHI

(54) DATA PROCESSOR

(57)Abstract:

PURPOSE: To efficiently speed up initial rise and to improve the performance of a system by providing this data processor with a means for loading down configuration data to a configuration memory.

CONSTITUTION: A CPU 1 transfers configuration data (1) from a file storage device 7 or a system memory 2 to a RAM 6 through an I/F 4, and then requests the down-loading of the data (1) stored in the RAM 6 to an FPGA 53 to a down-load control part 51. The control part 51 loads down the requested data (1) to a configuration data memory (RAM) 530 in the FPGA 53 and sets up an FPGA individual function part to a prescribed function. The current down-loading state of the FPGA 53 is judged by an FPGA down-loading state judging part 52 and control is executed so as not to reload the same function.



LEGAL STATUS

[Date of request for examination]

21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-76974

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/00 9/445		8323-5E 7230-5B	G 0 6 F 7/ 00 9/ 06	S 4 2 0 H

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平6-215649

(22) 出願日 平成6年(1994)9月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 壺山 庄一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

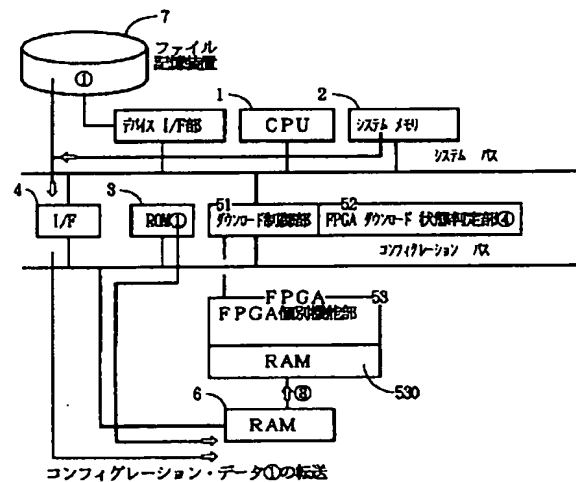
(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 本発明は、データ処理装置、特に、ハードウェアの機能を決定するFPGAのコンフィグレーション・データをFPGA内のメモリにダウンロードする機構に関し、効率良く、初期の立ち上がりを高速化し、システム性能を向上させる。

【構成】 所定のハードウェアの機能を決定するRAM型のFPGAを備えているデータ処理装置に、電源投入時等の初期化時には、ROM等に、予め、格納されているコンフィグレーション・データ①をRAM型FPGAのRAMにダウンロードし、外部記憶装置等からコンフィグレーション・データ①をダウンロードする際には、既に、上記FPGAのRAMにコンフィグレーションされているデータ種別と、新たにコンフィグレーションの依頼をされたデータの種別とを比較する手段を備え、該比較で同一の場合には、再ダウンロードしない。又、該FPGAのRAMへのコンフィグレーション・データのダウンロード時には、追加、又は、オーバーライトとする。

本発明の原理構成図



【特許請求の範囲】

【請求項 1】所定のハードウェアの機能を決定するフィールドプログラマブルゲートアレイのコンフィグレーション・データを、該ハードウェア内の前記フィールドプログラマブルゲートアレイ内のコンフィグレーション用メモリにダウンロードする機能を備えたデータ処理装置において、

初期化時には、読み取り専用メモリに、予め、格納されているコンフィグレーション・データを、前記フィールドプログラマブルゲートアレイ内のコンフィグレーション用メモリにダウンロードする手段を備えたことを特徴とするデータ処理装置。

【請求項 2】所定のハードウェアの機能を決定するフィールドプログラマブルゲートアレイのコンフィグレーション・データを、該ハードウェア内の前記フィールドプログラマブルゲートアレイ内のコンフィグレーション用メモリにダウンロードする機能を備えたデータ処理装置において、

外部からコンフィグレーション・データをダウンロードする際には、前記コンフィグレーション・データを所定のランダムアクセスメモリにコピーした後、該ランダムアクセスメモリから前記フィールドプログラマブルゲートアレイ内のコンフィグレーション用メモリにダウンロードする手段を備えたことを特徴とするデータ処理装置。

【請求項 3】所定のハードウェアの機能を決定するフィールドプログラマブルゲートアレイのコンフィグレーション・データを、該ハードウェア内の前記フィールドプログラマブルゲートアレイ内のコンフィグレーション用メモリにダウンロードする機能を備えたデータ処理装置において、

外部からコンフィグレーション・データをダウンロードする際には、既に、前記フィールドプログラマブルゲートアレイ内のコンフィグレーション用メモリにコンフィグレーションされているデータ種別と、新たにコンフィグレーションの依頼をされたデータの種別とを比較する手段を備え、該比較手段で同一のデータ種別と判断された場合には、再ダウンロードしないことを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ処理装置、特に、ハードウェアの機能を決定するフィールドプログラマブルゲートアレイ（FPGA）のコンフィグレーション・データを、該フィールドプログラマブルゲートアレイ（FPGA）内のメモリにダウンロードする機構に関する。

【0002】近年、ダウンサイジング等が叫ばれ、且つ、処理の高速化が望まれるようになってきている。この様な要求の中で、これまで、実装密度の高度化等により

対応してきたが、限界に達しているのも事実である。

【0003】この様な環境の中で、単一のハードウェアにおいてハードウェアの機能をダイナミックに切り換える技術は、ハードウェア技術上において重要な位置を占める。このハードウェア機能をダイナミックに切り換える技術の一つである、再コンフィグレーション可能なフィールド・プログラマブル・ゲートアレイ（以下、FPGA ということがある）が有効な手段となる。

【0004】このFPGAを機能毎の初期化（再コンフィグレーション）の際のコンフィグレーション・データの取扱いも、データ処理システムの性能上重要な技術であり、本発明は、このコンフィグレーションの技術に関するものである。

【0005】

【従来の技術】図5～図6は、従来のデータ処理装置のダウンサイジング技術を説明する図であり、図5(a)は、汎用型のデータ処理装置の場合を示し、図5(b)は、カスタマイズしたデータ処理装置の場合を示し、図5(c)は、専用のゲートアレイを使用した場合を示し、図6(a)は、階層型の実装技術の例を示し、図6(b)はフィールド・プログラマブル・ゲートアレイ(FPGA)の構成例を示している。

【0006】図5(a)は、汎用型のデータ処理装置を示しており、ダウンサンジグを行う場合、高密度実装可能な素子の選択、及び、実装技術の高度化、例えば、両面実装技術等を導入するとか、1チップ化等を行う必要がある。

【0007】図5(b)は、カスタマイズしたデータ処理装置の場合を示し、ユーザの特殊な機能仕様に合わせて、専用処理装置を構築し、高集積化を行うものである。例えば、中央処理装置(CPU)を複数個搭載して、フレキシブルな制御機構を構築する場合もある。

【0008】図5(c)は、汎用型のデータ処理装置の本体部に、ユーザの要求に合わせて、一つ、又は、複数個の専用のゲートアレイ素子を搭載することでダウンサイジングを図った場合である。具体的には、図6(a)に示されているように、マザーボードに、専用のベビーボードを、固定的に、或いは、必要に応じてコネクタ部分で取り替えて、階層構造で搭載する等の方法がある。

【0009】

【発明が解決しようとする課題】上記従来の技術で説明したダウンサンジグ技術には、以下の問題を含むものである。

【0010】先ず、図5(a)に示した汎用型のデータ処理装置の場合、実装技術の向上が、ダウンサイジングの要求に対して追従できないのが現状である。又、汎用的な中央処理装置(CPU)を使用するため、フレキシビリティは高まるが、専用のハードウェアによるものに比較して、処理速度の性能面で対抗することができない問題が発生する。

【0011】次の、図5(b)に示したカスタマイズしたデータ処理装置の場合には、専用化されたハードウェアで構築するため、処理能力上の問題は解消されるが、開発工数が増大するという問題が発生する。又、汎用性、つまり、フレキシビリティが低下する問題がある。

【0012】次の、図5(c)に示した専用のゲートアレイ素子を使用する場合、図5(b)の場合と同様に、専用のゲートアレイを開発する必要があり、開発期間が増大する。又、専用ゲートアレイのため、汎用性に乏しくなる問題がある。

【0013】上記の問題点を解決する技術として、ハードウェアの機能を決定するフィールドプログラマブルゲートアレイ(FPGA)を使用する手段が考えられる。以下、該FPGAを使用する場合に解決できる上記問題点と、新たに発生する問題点を挙げる。

【0014】図6(b)は、FPGAの構成例を示した図である。図示されているように、FPGA内にはコンフィグレーション用メモリがあり、該コンフィグレーション用メモリには、例えば、フューズ型、ROM型、RAM型があり、前記フューズ型では、コンフィグレーション・データを、該フューズ型メモリにダウンロードすることより、該ダウンロードされたコンフィグレーション・データが指示する位置のフューズの熔融切断によって決まる機能のハードウェアが構築できる。同様に、ROM型では、該ROM型のメモリにコンフィグレーション・データをダウンロードすることで、該ダウンロードされたコンフィグレーション・データが指示する所定のハードウェアを構築することができる。

【0015】上記フューズ型、ROM型では、該FPGAの機能を追加する場合、該機能の追加をダイナミックに追加することができないという問題がある。その解決策としては、複数個のFPGAを設けて、ダイナミックに切り替えて使用できるように構築する必要があり現実的ではない。

【0016】然しながら、該コンフィグレーション・データをリード、ライト可能なRAM型メモリを備えたFPGAを使用すると、上記の問題をクリアすることができるが、該FPGA内のRAMにコンフィグレーション・データを転送する手段、或いは、どのコンフィグレーション・データファイルをダウンロードするかの管理手段が必要となる。

【0017】一方、FPGAを使用することで、以下の問題を解決することができる。

- ・ FPGAによる専用のハードウェアの開発により処理速度の向上が可能
- ・ FPGAを使用することで、専用ゲートアレイに比べるとリメイク(作り替え)等のリスクを低減する事が可能
- ・ 再ローディング可能なFPGA(具体的には、上記RAM型メモリを使用したFPGA)を使用すること

で、汎用性のあるハードウェアへの拡張が可能である。

【0018】特に、上記の3項目目の解決点である汎用性のあるハードウェアへの拡張が可能という点に主眼をおいて、言い換えると、汎用性のあるハードウェアを開発する場合、FPGAに対してダウンロードするコンフィグレーション・データの格納および管理方法が重要となるが、単にコンフィグレーション・データをリード専用のROMに格納した機構のみを持った場合、前述のように、

- 10 ・ FPGAの機能を追加する場合等にROMのためにダイナミックに拡張することが不可能となる。

【0019】また、コンフィグレーション・データをリードライト可能なRAMに格納した場合、上記の問題がクリアできるが、このRAMに格納する手段および、管理機構に課題が残る。即ち、

- ・ 既に初期化されたFPGAに対して同一の機能を再度初期化する場合の管理
- ・ 電源投入時におけるコンフィグレーション・データの転送等による速度の低下
- 20 と言った問題が発生する。

【0020】本発明は上記従来の欠点に鑑み、データ処理装置、特に、ハードウェアの機能を決定するFPGAのコンフィグレーション・データをFPGA内のメモリにダウンロードする機構において、効率良く、初期の立ち上がりを高速化し、システム性能を向上させることができるデータ処理装置を提供することを目的とするものである。

【0021】

【課題を解決するための手段】図1は、本発明の原理構成図である。上記の問題点は下記の如くに構成したデータ処理装置によって解決される。

【0022】(1) 所定のハードウェアの機能を決定するフィールドプログラマブルゲートアレイ(FPGA) 53のコンフィグレーション・データ①を、該ハードウェア内の前記フィールドプログラマブルゲートアレイ(FPGA) 53内のコンフィグレーション用メモリ(RAM) 530にダウンロードする機能を備えたデータ処理装置において、電源投入時等の初期化時には、読み取り専用メモリ(ROM) 3等に、予め、格納されているコンフィグレーション・データ①を、前記フィールドプログラマブルゲートアレイ(FPGA) 53内のコンフィグレーション用メモリ(RAM) 530にダウンロードする手段②、③を備えるように構成する。

【0023】(2) 所定のハードウェアの機能を決定するフィールドプログラマブルゲートアレイ(FPGA) 53のコンフィグレーション・データ①を、該ハードウェア内の前記フィールドプログラマブルゲートアレイ(FPGA) 53内のコンフィグレーション用メモリ(RAM) 530にダウンロードする機能を備えたデータ処理装置において、外部記憶装置等からコンフィグレーション・デ

5

ータ①をダウンロードする際には、前記コンフィグレーション・データ①を所定のランダムアクセスメモリ (RAM) 6 に転送した後、該ランダムアクセスメモリ (RAM) 6 から前記フィールドプログラマブルゲートアレイ (FPGA) 53 内のコンフィグレーション用メモリ (RAM) 530 にダウンロードする手段③を備えるように構成する。

【0024】(3) 所定のハードウェアの機能を決定するフィールドプログラマブルゲートアレイ (FPGA) 53 のコンフィグレーション・データ①を、該ハードウェア 10 内の前記フィールドプログラマブルゲートアレイ (FPGA) 53 内のコンフィグレーション用メモリ (RAM) 530 にダウンロードする機能を備えたデータ処理装置において、外部記憶装置等からコンフィグレーション・データ①をダウンロードする際には、既に、前記フィールドプログラマブルゲートアレイ (FPGA) 53 内のコンフィグレーション用メモリ (RAM) 530 にコンフィグレーションされているデータ種別と、新たにコンフィグレーションの依頼をされたデータの種別とを比較する手段④を備え、該比較手段④で同一のデータ種別と判断された場合には、再ダウンロードしないように構成する。

【0025】

【作用】即ち、本発明においては、上記の問題点を解決するための手段として、以下の方法を考える。図 1 の原理構成図において、

・コンフィグレーション・データ①を格納する為のメモリは、RAM 6 を使用し、該 RAM 6 から FPGA 53 内の RAM 530 にダウンロード③するようにして、フレキシビリティを高める。

【0026】・初期状態のデータ転送等による速度の低下を防ぐため、ハードウェア内部において、電源投入時にもアクセス可能なリード専用メモリ (ROM) 3 を使用し、使用頻度の高いデータ、診断用のプログラムデータ等のコンフィグレーション・データ①を、該 ROM 3 に予め格納しておく方法を採用する。この方法を採用することにより、電源投入時におけるコンフィグレーション・データ①の転送等によるデータ転送速度の低下を防ぐことができる。

【0027】・FPGA 53 内のコンフィグレーション用メモリ (RAM) 530 へのダウンロード制御部 51、52 40 内に、FPGA 用メモリ (RAM) 530 でのダウンロード状態を判定する機能、即ち、上記比較手段④を持ち、現在のダウンロード状態 {ダウンロードのデータ種別 (データ番号)} と同一の機能をダウンロードする指示に対しては、再ローディングを実行しない機構を持つ手段④を採用する。この手段④の採用により、システム性能を向上させることができる。

【0028】・FPGA 53 内の RAM 530 に対しては、ハードウェア内部の ROM 3 からのダウンロードのみでは拡張性に乏しくなることから、ハードウェア外部

6

(ファイル記憶装置 7、システム・メモリ 2等) からの RAM 6 への転送を実現することで、拡張性を高めることができる。

【0029】

【実施例】以下本発明の実施例を図面によって詳述する。前述の図 1 は、本発明の原理構成図であり、図 2 ～図 4 は、本発明の一実施例を示した図であって、図 2 は、図 1 に示してあるダウンロード制御部、FPGA 初期状態判定部、FPGA 個別機能部の実施例を示しており、図 3 は RAM → ROM コピー手段の流れ図を示し、図 4 は、RAM → FPGA へのダウンロード起動手段の流れ図と、FPGA のダウンロード状態の判定部の動作の流れ図で示している。

【0030】本発明においては、コンフィグレーション・データ①を格納する為のメモリとして、RAM 6 を使用し、該 RAM 6 から FPGA 53 内の RAM 530 にダウンロードする手段③、初期状態のデータ転送等による速度の低下を防ぐため、ハードウェア内部において、電源投入時にもアクセス可能なリード専用メモリ (ROM) 3 を使用し、使用頻度の高いデータ、診断用のプログラムデータ等のコンフィグレーション・データ①を、該 ROM 3 に予め格納しておき、ダウンロードに先立ち、該 ROM 3 → RAM 6 にコピーする手段②、FPGA 53 内のコンフィグレーション用メモリ (RAM) 530 へのダウンロード制御部 51 内に、FPGA 用メモリ (RAM) 530 へのダウンロード状態を判定する機能④を持ち、現在のダウンロード状態 {ダウンロードのデータ種別 (データ番号)} と同一の機能をダウンロードする指示に対しては、再ローディングを実行しない機構を持つ手段④が、本発明を実施するのに必要な手段である。尚、全図を通して同じ符号は同じ対象物を示している。

【0031】以下、図 1 を参照しながら、図 2 ～図 4 を用いて、本発明のデータ処理装置の構成と動作を説明する。本発明のデータ処理装置は、図 1 に示されているように、中央処理装置 (CPU) 1 が、システム・メモリ 2 に展開されている各種のアプリケーションプログラムを実行することにより、所定のデータ処理を実行する。このとき、FPGA 53 内のコンフィグレーション用メモリ (RAM) 530 へダウンロードされるコンフィグレーション・データをダイナミックに変更 (ダウンロード) することにより、各種のデータ処理をダイナミックに切り替えて処理することができるようになる。

【0032】以下、該 FPGA 53 内のコンフィグレーション用メモリ (RAM) 530 へダウンロード手段を、図 2 ～図 4 によって説明する。図 1 のダウンロード制御部 51、FPGA ダウンロード状態判定部 52、FPGA 53 は、例えば、図 2 に示した構成を取る。即ち、マイクロプログラム制御になっていて、マイクロプロセッサ (MPU) 50 が、制御メモリ 55 内に格納されている ROM →

RAMコピー手段②、RAM→FPGAへのダウンロード起動手段③、FPGAのダウンロード状態の判定手段④を実行することにより、図3、図4に流れ図で示した動作を実行する。

【0033】先ず、図2の構成図、図3の流れ図によって、ROM→RAMコピー手段②について、その動作を説明する。図1において、電源投入時に上記ダウンロード制御部51は、前述のように、図2のマイクロプロセッサ(MPU)50が、制御メモリ55内のROM→RAMコピー手段②を実行することに対応する。前述のように、該ROM3には、使用頻度の高いデータ、診断用のプログラムデータ等のコンフィグレーション・データ①が、予め、格納されている。

【0034】そこで、マイクロプロセッサ(MPU)50は、図2のROMアドレスインタフェース部540を介して、ROM3にROMアドレスを出力し、RAMアドレスインタフェース部541を介してRAM6にRAMアドレスを出力して、ROM3からRAM6へのコピー動作を行う。そして、ROM→RAMコピー動作を終了するまで、同じ動作を繰り返す。〔図3(a)の処理ステップ100,101,102,103参照〕該ROM→RAMコピー動作が終了すると、MPU50が、制御メモリ55内のRAM→FPGAへのダウンロード起動プログラム③を実行することにより、RAM6にコピーされたコンフィグレーション・データ①が、FPGA53のコンフィグレーション用メモリ(RAM)530にダウンロードされる。このようにして、ROM3内部よりRAM6にコンフィグレーション・データ①を転送した後、該RAM6から、FPGA53のコンフィグレーション・データ用メモリ(RAM)530にダウンロードされる。上記のコピー動作は、電源投入時のためシステム性能の低下には関与しない。

【0035】次に、図1のCPU1がダウンロード要求をしたときの動作を説明する。即ち、CPU1は、I/F4を通して、ファイル記憶装置7、或いは、システムメモリ2からコンフィグレーション・データ①をRAM6に転送した後、上記ダウンロード制御部51に対して、RAM6の内容をFPGA53に、該コンフィグレーション・データ①のダウンロードの依頼をする。

【0036】該ダウンロード制御部51は、依頼されたコンフィグレーション・データ①をFPGA53のコンフィグレーション・データ用メモリ(RAM)530へダウンロードしFPGA個別機能部を所定の機能に設定する。FPGA53にダウンロードする際、現在のFPGA53のダウンロード状態をFPGAダウンロード状態判定部52にて判定し、同一機能の再ローディングを行わない様に制御する。〔FPGAのダウンロード状態の判定処理手段④に対応〕

図4に基づいて、上記の処理を、更に、詳細に説明する。即ち、CPU1からダウンロードの要求があったとき、フラグレジスタ54に格納されているコンフィグ

レーション・データ①と、今要求のあったコンフィグレーション・データ①との番号を比較し、一致した場合には、該FPGA53に、既に、おなじ番号のコンフィグレーション・データ①がダウンロードされているものとして、該ダウンロード動作を抑止する。〔図4の処理ステップ200参照〕

該比較において、コンフィグレーション・データ①の一致がみられなかった場合には、RAM→FPGAへのダウンロード動作に移る。先ず、マイクロプロセッサ(MPU)50において、RAMアドレスを出力すると共に、インタフェース部を介してFPGA53にダウンロード起動要求(REQ)を送出し、該FPGA53から、レディー信号(RDY)を受信すると、該FPGA53は、RAM6からダウンロードデータ1語を読み込んだと認識し、アドレスを更新して、次の1語の読み込み動作に入ること、を、該ダウンロードの終了を認識する迄繰り返す。〔図3(b)の処理ステップ201~205参照〕

該ダウンロード動作が終了すると、前述のフラグレジスタ54に対して、今ダウンロードしたコンフィグレーション・データ①の番号を登録する。〔図4の処理ステップ206参照〕

上記処理ステップ201~206迄の処理が、前述のRAM→FPGAへのダウンロード処理④が対応する。

【0037】CPU1は、RAM6に所定のコンフィグレーション・データ①が無い場合は、ハードディスク(ファイル記憶装置)7等に格納されたFPGAコンフィグレーション・データ①を一旦システム・メモリ2に置くか、直接RAM6に転送する。

【0038】上記転送の手段は、CPU1が行っても良いが、前述のダウンロード制御部51に依頼しても良い。RAM6への新規コンフィグレーション・データ①の登録の際には、RAM6の容量が許す限り追加動作を行い、既にダウンロードされたデータを有効に使用する様に制御する。また、該RAM6がフルの場合には、既にロードされたデータを削除し、新規データを格納する。実際には、削除するという処理フェーズはなく、オーバーライトで処理される。

【0039】このように、本発明によるデータ処理装置は、所定のハードウェアの機能を決定するRAM型のFPGAを設けているデータ処理装置に、電源投入時等の初期化時には、ROM等に、予め、格納されているコンフィグレーション・データ①をRAM型のFPGAのメモリ(RAM)にダウンロードし、外部記憶装置等からコンフィグレーション・データ①をダウンロードする際には、既に、上記FPGAのメモリ(RAM)にコンフィグレーションされているデータ種別と、新たにコンフィグレーションの依頼をされたデータの種別とを比較する手段を備え、該比較で同一の場合には、再ダウンロードしない。又、該FPGAのRAMへのコンフィグレーション・データ①のダウンロード時には、追加、又は、

＊【図３】本発明の一実施例を示した図（その２）

【図 4】本発明の一実施例を示した図（その 3）

【図５】従来のデータ処理装置のダウンサイジング技術を説明する図（その１）

【図6】従来のデータ処理装置のダウンサイジング技術を説明する図（その2）

【符号の説明】

1	中央処理装置 (CPU)	2	システム
	・メモリ		

3	読み取り専用メモリ(ROM)		
4	インタフェース部(I/F)		
50	マイクロプロセッサ(MPU)		
51	ダウンロード制御部	52	FPGAダウンロード状態判定部

53 フィールドプログラマブルゲートアレイ (FPGA)

54 フラグレジスタ
リ

55 制御メモ

540 ROM アドレスインタフェース部
541 RAM アドレスインタフェース部

530 FPGAのコンフィグレーション用メモリ (RAM)
6 ランダムアクセスメモリ (RAM)

7 ファイル記憶装置

① コンフィグレーション・データ

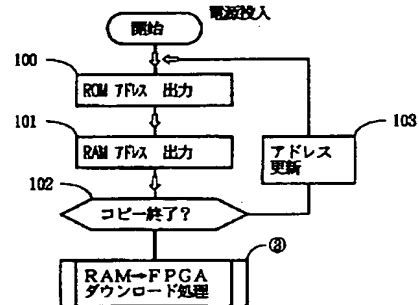
② ROM → RAM コピー処理手段

③ RAM → FPGAへのダウンロード起動手段

④ FPGAのダウンロード判定手段

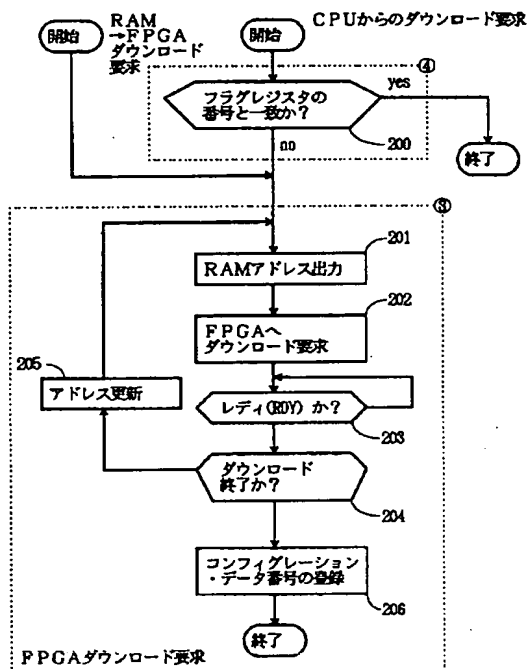
【圖 3】

本発明の一実施例を示した図（その２）



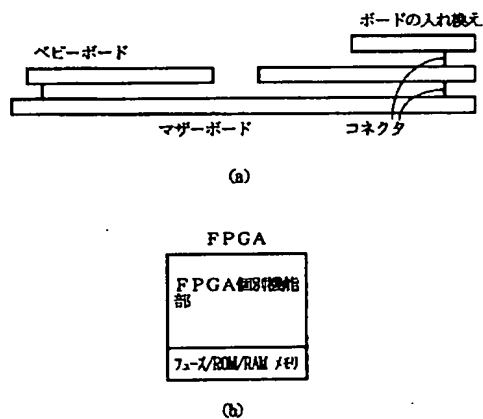
【圖4】

本発明の一実施例を示した図（その３）



【図6】

従来のデータ処理装置のダウンサイジング技術を説明する図（その2）



THIS PAGE BLANK (USPTO)